

Circuits Intégrés : Testabilité et correction d'erreurs : Durée 2 jours

Présentation

De nos jours, un constructeur d'équipements qui ne se préoccuperait pas de fiabilité s'exposerait à disparaître du marché. On risque en effet aujourd'hui de rencontrer de graves déboires en vendant ou en exploitant des matériels dont la fiabilité n'a pas été prise en compte au moment de l'étude et de la construction. Ceci est particulièrement vrai pour les choix des constitutions technologiques de composants et par l'efficacité de leur contrôle de qualité : des négligences dans ce domaine ou une méconnaissance du sujet rendent vaines toutes les autres activités de gestion de fiabilité - ou plus généralement de sûreté de fonctionnement.

Cette formation prévue sur 2 jours présente une vision d'ensemble de la testabilité et des corrections d'erreurs.

Participants

Toute personne souhaitant avoir une vision panoramique du sujet.

Bénéfices

Comprendre la logique de positionnement économique d'un circuit vis-à-vis des performances issues des tests et de la politique de correction des erreurs

Objectifs du cours

Acquérir les techniques de corrections d'erreurs
Acquérir les principes de tests

Pré-requis

Connaissances de base en électronique numérique

Etapes suivantes

Perspective sur la **sécurité des systèmes** électroniques

Programme détaillé du stage: Testabilité et correction d'erreurs : Durée 2 jours :

Module	Points clés
ECC	<p>Présentation générale des correcteurs d'erreurs Les techniques de corrections (distance inter codes, la redondance...)</p> <p>Les ECC : partie théorique & la partie logique :</p> <ul style="list-style-type: none"> ▪ Historique ▪ Algèbre : Ensembles finis, Groupes, Anneaux, Idéaux et Morphismes, Théorèmes d'existence... ▪ Codes Correcteurs : Généralités , linéaires, polynômes, Cycliques, B.C.H, CIRC, Reed-Salomon, pour Carte à Puce ▪ Décodage : Linéaire, Cycliques ▪ Compléments : MDS... ▪ Algorithmes ▪ Exemples :Algorithme asymétrique, le RSA & l'OTP, le seul algorithme impossible à casser ▪ Exemple Hardware pour ECC Memory

Suite du Programme détaillé du stage: Testabilité et correction d'erreurs : Durée 2 jours :

Module	Points clés
Testabilité	<p>Fiabilité et qualité Notions de fiabilité et de qualité, la stratégie de test comme levier décisif de la mise en œuvre des contraintes. Testabilité et compétitivité Lois utilisées. Fiabilité des composants électroniques. Programme qualité en matière de composants électroniques.</p> <p>Les tests des circuits intégrés Modélisation des fautes. Algorithmes Analyse temporelle. Génération de séquences de test: méthodes déterministes et probabilistes. simulation de fautes.</p> <p>La testabilité influence du test sur la conception. Les principes de la testabilité. Étude de structures dédiées au test: avec test externe ("scan-path ", LSSD, [BIST, BILBO, ...). Systèmes tolérants aux fautes.</p> <p>Exemples de test de circuits intégrés Réseaux logiques programmables. Mémoires, microprocesseurs.</p>
Compléments	<p>Sécurités liées à la carte à puces (modèle complet de sécurisation) Aspect économique lié aux tests. Diminution des performances mais risques éliminés</p>